



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 05265751

(43)Date of publication of application: 15.10.1993

(51)Int.Cl.

G06F 9/32

G06F 9/22

G06F 9/30

(21)Application number: 04060484

(71)Applicant:

NEC CORP

(22)Date of filing: 17.03.1992

(72)Inventor:

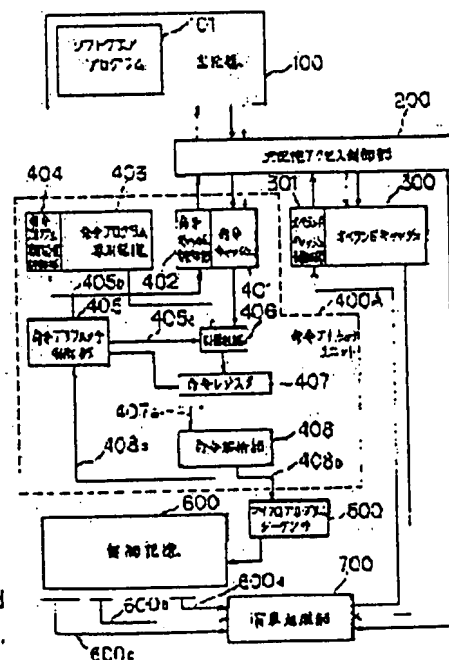
YOKOYAMA YASUSHI

(54) DATA PROCESSOR

(57)Abstract:

PURPOSE: To improve the processing performance of a data processor by suppressing the increase of the traffic of a main storage caused by the extraction of instruction programs and also reducing the mishit of an instruction cache.

CONSTITUTION: The machine instructions of a 1st group which are attained by a microprogram are decided together with the machine instructions of a 2nd group which is attained by an instruction program consisting of the machine instructions of the 1st group, and a 1st machine instruction which belongs to the 1st group and shows the end of the instruction program. Then, a main storage 600 storing the microprogram is provided together with a main storage 100 which stores a software program consisting of the machine instructions of the 1st and 2nd groups, an instruction program-only storage 403, an instruction cache 401 which stores the software



programs read out of the storage 100, a switching circuit 406 which selects the software program or the instruction program, and an instruction register 407 which stores the program selected by the circuit 406.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998 Japanese Patent Office

MENU

SEARCH

INDEX

DETAIL

(11)特許出願公開番号

特開平5-265751

(43)公開日 平成5年(1993)10月15日

(51)Int.CL*	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F	9/32	3 1 0 J	9189-5B	
	9/22	3 3 0 D	7230-5B	
	9/30	3 1 0 E	9189-5B	

審査請求 未請求 請求項の数 3 (全 12 頁)

(21)出題番号 特願平4-60484

(22)出題日 平成4年(1992)3月17日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)發明者 横山 康

東京都港区芝五丁目7番1号 日本電気株
式会社内

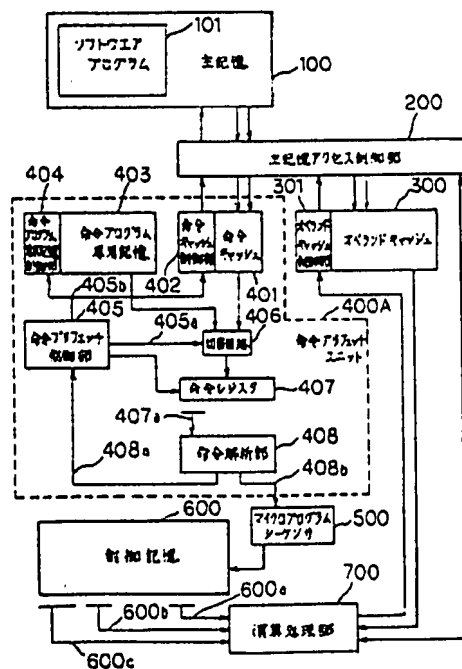
(74)代理人 弁理士 若林 忠

(54)【発明の名称】 データ処理装置

(57) 【要約】

【目的】 命令プログラムの取出しによる主記憶のトラフィックの増加を抑止するとともに、命令キャッシュのミスヒットを低減させて処理性能を向上させる。

【構成】 マイクロプログラムで実現される第1群の機械命令と、第1群の機械命令で構成された命令プログラムにより実現される第2群の機械命令と、第1群の機械命令に属し、命令プログラムの完了を示す第1の機械命令とが定められており、マイクロプログラムが格納されている制御記憶600と、第1群および第2群の機械命令から構成されるソフトウェアプログラムを格納する主記憶100と、命令プログラム専用記憶403と、主記憶100から読出したソフトウェアプログラムを格納する命令キャッシュ401と、ソフトウェアプログラムと命令プログラムとのうち何れか一方を選択する切替回路406と、切替回路406にて選択されたプログラムが格納される命令レジスタ407とを有している。



【特許請求の範囲】

【請求項1】 マイクロプログラムで実現される第1群の機械命令と、前記第1群の機械命令で構成された命令プログラムにより実現される第2群の機械命令と、前記第1群の機械命令に属し、前記第2群の機械命令を実現する命令プログラムの完了を表示する第1の機械命令とが定められており、

前記マイクロプログラムが格納されている制御記憶と、前記第1群および第2群の機械命令から構成されるソフトウェアプログラムを格納する主記憶と、

前記主記憶から読出されたソフトウェアプログラムが格納される命令キャッシュとを有するデータ処理装置において、

前記第2群の機械命令を実現する命令プログラムを格納するための命令プログラム専用記憶と、

該命令キャッシュから取出されたソフトウェアプログラムと前記命令プログラム専用記憶から取出された命令プログラムとのうち何れか一方を選択する切替回路と、該切替回路にて選択された、ソフトウェアプログラムあるいは命令プログラムが格納される命令レジスタとを有することを特徴とするデータ処理装置。

【請求項2】 命令レジスタに格納された命令が第1群、第2群のいずれの機械命令かを区別する第1の情報と、前記命令レジスタに格納された命令が前記第1群の機械命令の場合その機械命令を実現するマイクロプログラムの制御記憶上の開始番地を、また前記第2群の機械命令の場合その機械命令を実現する命令プログラムの命令プログラム専用記憶上の開始番地を、それぞれ示す第2の情報とが定められており、

前記第1および第2の情報を第1群および第2群の各機械命令ごとに記憶する命令解析メモリと、

前記命令解析メモリ上の第1の情報によって前記命令レジスタ上に第2群の機械命令を検出したとき、前記命令解析メモリ上の第2の情報により前記命令プログラム専用記憶から該当機械命令を実現する命令プログラムの機械命令を順に取出し、切替回路を介して前記命令レジスタに供給する命令ブリフエッチ制御部とを有することを特徴とする請求項1記載のデータ処理装置。

【請求項3】 命令レジスタに格納された命令が命令プログラムの完了を表示する第1の機械命令である事を示す第3の情報が定められており、

前記命令レジスタ上に第2群の機械命令を検出した際に、その機械命令の次の機械命令の番地を保持するアドレスレジスタを備え、

命令解析メモリが前記第3の情報を第1群および第2群の各機械命令ごとに記憶し、

命令ブリフエッチ制御部は、前記命令解析メモリ上の第3の情報によって前記命令レジスタ上に前記第1の機械命令を検出したとき、前記アドレスレジスタに格納された番地によって前記命令キャッシュから機械命令を順に

取出し、切替回路を介して前記命令レジスタに供給することを特徴とする請求項2記載のデータ処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、データ処理装置に関し、特に機械命令の一部を他の機械命令で記述した命令プログラムによって実現する階層型命令制御のデータ処理装置に関する。

【0002】

10 【従来の技術】 従来、この種のデータ処理装置においては処理性能の向上を図るためにマイクロプログラムを構成するマイクロ命令が1ステップで実行できる機能をなるべく多くし、並列処理性を高めたビット構成の大きな、所謂水平型マイクロ命令化を行う場合が多い。

【0003】 特に基本演算命令や条件・無条件分岐命令など出現頻度の高い基本機械命令については、前述の水平型マイクロ命令化の特徴が最大限に生かせるようにハードウェアの構造も最適化され、この結果これらの機械命令は極めて少ないマイクロプログラム・ステップ数で

20 【0004】 しながら、他の多くの命令、たとえば各種制御命令や主記憶上でのデータハンドリングを繰返すようなリスト処理命令などではシーケンシャルな処理が多い。このような機能を有する機械命令の実現に際して高度に水平化されたマイクロ命令を使用しても、1ステップで実行する機能の並列度が低いのでマイクロ命令の未使用フィールドが多くなってマイクロステップの使用効率が悪くなり、マイクロプログラムを格納する制御記憶の容量が増加するという問題点があった。さらに、同一機能を出現頻度の高い基本機械命令で実現するよりも実行ステップ数が余分に係ることもあり、性能の点でも問題があった。

【0005】 これを解決する方法として、マイクロプログラムで実現すると水平型マイクロ命令の並列処理の効果をあまり発揮できない機械命令を、水平型マイクロ命令の並列処理の効果が充分に発揮できる基本機械命令からなる命令プログラムの実行により実現する階層型命令制御方式が採用されるに至った。

【0006】 ここで、階層型命令制御におけるソフトウェアプログラムおよび命令プログラムの実行の流れについて図4を参照して説明する。

【0007】 図4を参照すると、大文字のA、B、Cは第1群の命令を、小文字のdは第2群の命令を、命令Xは第2群の命令を実現する命令プログラムの完了を表示する命令を表し、また801の列はソフトウェアプログラムの実行の流れを、802の列は命令プログラムの実行の流れを表す。

【0008】 前にも述べたように階層型命令制御方式とは、マイクロプログラムで実現すると水平型マイクロ命令の高度な並列処理の効果をあまり発揮できないような

機械命令を実現するのに、水平型マイクロ命令の並列処理の効果が充分に発揮できるような基本命令からなる命令プログラムの実行により実現するものである。

【0009】801の列のソフトウェアプログラムは主記憶に格納されていて、一般に良く知られるように逐次的に解析され、各命令が当該データ処理装置で定義された機械命令仕様に基づいた動作を行う。処理の高速化のために、主記憶からの命令取出しには専用の緩衝記憶（命令キャッシュ）が用いられる。

【0010】ここで、ソフトウェアプログラムは第1群の命令と第2群の命令とにより構成されている。第1群の命令は、制御記憶に格納され高度な並列処理化を実現した水平型マイクロ命令から成るマイクロプログラムにより実現される。第2群の命令はソフトウェアプログラムと同じ主記憶に格納された命令プログラムにより実現される。

【0011】第1群の命令は水平型マイクロ命令の並列処理の効果が充分に発揮できる基本命令であり、一般にソフトウェアプログラムに使用される頻度が格段に高い命令である。第2群の命令はマイクロプログラムで実現しようとする水平型マイクロ命令の効果がそれほど発揮できない命令であり、むしろ垂直型のマイクロ命令に近い使い方になる命令である。

【0012】図4で801のソフトウェアプログラムの実行の流れが命令A→B→Cと逐次的に実行されるが、これらの命令は第1群の命令であるので水平型マイクロ命令からなるマイクロプログラムにより実行される。命令dの実行に移ると、この命令は第2群の命令であるので当該命令を実現する命令プログラム802の最初の命令Pに分岐する。

【0013】このようにして第2群の命令dを実現する命令プログラム802がP→Q→R→Sと逐次的に実行されて、命令X、即ち第2群の命令を実現する命令プログラムの完了を表示する命令に到達すると、最初のソフトウェアプログラム上で命令dの次の命令Eに分岐し、以降801のソフトウェアプログラムの実行の流れがE→F→Gと逐次的に実行される。

【0014】つまり、ソフトウェアプログラムの実行の流れの途中で第2群の命令に遭遇すると、恰もサブルーチンのマクロ展開のようにして第2群の命令を実現するためのプログラムが割り込んで実行されることになるのである。

【0015】次に、上述した階層型命令制御方式を実施するための従来のデータ処理装置について図5を参照して説明する。

【0016】図5に示すデータ処理装置は、主記憶901と、主記憶アクセス制御部902と、オペランドキャッシュ903およびオペランドキャッシュ制御部931と、命令キャッシュ941、命令キャッシュ制御部942、命令プリフェッチ制御部943、命令レジスタ94

4および命令解析部945を有する命令プリフェッチユニット904と、マイクロプログラムシーケンサ905と、制御記憶906と、演算処理部907とを備えている。また、主記憶901にはソフトウェアプログラム801と、命令プログラム802とが格納されている。

【0017】ソフトウェアプログラム801は第1群の命令と第2群の命令とにより構成されており、第1群の命令は制御記憶906に格納されたマイクロプログラムにより実現され、第2群の命令はソフトウェアプログラム801と同じく主記憶901に格納された命令プログラム802により実現される。

【0018】主記憶901のソフトウェアプログラム801の命令シーケンスの取出しは、命令プリフェッチ制御部943からの指令により命令キャッシュ941および命令キャッシュ制御部942に通知され、ヒット検索処理が行われる。

【0019】ヒットした場合は命令キャッシュ941から命令レジスタ944に直ちに命令のオブジェクト・コードが格納され、命令の実行が開始される。ミスヒットの場合は、命令キャッシュ制御部942からのリクエスト・コマンドの指示により、主記憶アクセス制御部902によって主記憶901から当該番地のデータが読み出されて、命令キャッシュ941にブロックロードされ、命令レジスタ944に目的の命令のオブジェクト・コードが格納されて命令の実行が開始される。

【0020】命令レジスタ944の命令コード部は信号線944aを介して命令解析部945に供給され、命令レジスタ944の命令が第1群、第2群のいずれの命令かを区別する第1の情報を信号線945aを介して命令プリフェッチ制御部943に供給する。

【0021】さて、命令の流れが、図4にしたがってA→B→Cと進み、命令レジスタ944の命令がd、即ち第2群の命令になると、信号線945aを介して第2群の命令の識別情報が命令プリフェッチ制御部943に供給される。

【0022】命令プリフェッチ制御部943では、同じく信号線945aを介して命令解析部945から供給される命令解析結果から命令dを実現する命令プログラム（主記憶901上の802の一部）の開始番地を生成し、命令キャッシュ941および命令キャッシュ制御部942に対してヒット検索処理の指令を発行し、ヒット、ミスヒットの何れかの処理の後に命令レジスタ944に目的の命令プログラムの第一命令のオブジェクト・コードが格納されて命令プログラムの実行が開始される。

【0023】命令プログラム802が逐次的に実行されて、命令レジスタ944に命令X、即ち第2群の命令を実現する命令プログラムの完了を表示する命令が格納される。この命令は第1群の命令であるので制御記憶906に格納されたマイクロプログラムにより実現され、演

10

20

30

40

50

算処理部907から命令プログラムの完了を表示する情報が信号線(図示せず)を介して命令ブリフエッチ制御部943に供給される。

【0024】この情報によって命令ブリフエッチ制御部943では、内部で予め保持してある命令Eの主記憶901上のアドレスにより、ソフトウェアプログラム(主記憶901上の801の一部分)の命令Eの取出し指令が命令キャッシュ制御部942に対して発行され、ヒット検索処理が行われる。

【0025】ヒット、ミスヒットの何れかの処理の後に命令レジスタ944に命令Eのオブジェクト・コードが格納されて実行中のソフトウェアプログラムの命令の実行が再開される。

【0026】

「発明が解決しようとする課題」しかしながら、従来の、階層型命令制御方式のデータ処理装置では、命令プログラムをソフトウェアプログラムと同様に主記憶の上に置く方法を一般に採用しているため、シーケンシャルな処理が多い機械命令の実現に際してパイプライン制御のハードウェアを有効に利用する、という点では効果があるが、主記憶上でのデータハンドリングを繰返すような機械命令を実現しようとすると下記のような問題点がある。

①命令プログラムのオペランドのロード/ストアに加えて、命令プログラムの取出しで主記憶のトラフィックが増加し、その結果主記憶リクエストに対する待ちが生じて無視できなくなる。

②命令プログラムの取出しで命令キャッシュ上の命令がオーバ・ライトされて書換えられることがあり、元のソフトウェアプログラムに戻った際に命令キャッシュのミスヒットを起こし、命令プログラムへの移入/退出のオーバヘッド・ロスが無視できなくなる。

③命令キャッシュ上にて命令がオーバ・ライトされなくても、ソフトウェアプログラムが破壊されるので、該ソフトウェアプログラムの命令キャッシュ・ヒット率が低下して装置の性能が下がる。

【0027】本発明は、上記従来の技術が有する問題点に鑑みてなされたもので、命令プログラムの取出しによる主記憶のトラフィックの増加を抑止するとともに、命令キャッシュのミスヒットを低減させて、処理性能を向上させるデータ処理装置を提供することを目的としている。

【0028】

【課題を解決するための手段】本発明は、マイクロプログラムで実現される第1群の機械命令と、前記第1群の機械命令で構成された命令プログラムにより実現される第2群の機械命令と、前記第1群の機械命令に属し、前記第2群の機械命令を実現する命令プログラムの完了を表示する第1の機械命令とが定められており、前記マイクロプログラムが格納されている制御記憶と、前記第1

群および第2群の機械命令から構成されるソフトウェアプログラムを格納する主記憶と、前記主記憶から読出されたソフトウェアプログラムが格納される命令キャッシュとを有する階層型命令制御のデータ処理装置において、前記第2群の機械命令を実現する命令プログラムを格納するための命令プログラム専用記憶と、該命令キャッシュから取出されたソフトウェアプログラムと前記命令プログラム専用記憶から取出された命令プログラムとのうち何れか一方を選択する切替回路と、該切替回路にて選択された、ソフトウェアプログラムあるいは命令プログラムが格納される命令レジスタとを有するものであり、また、前記命令レジスタに格納された命令が第1群、第2群のいずれの機械命令かを区別する第1の情報と、前記命令レジスタに格納された命令が前記第1群の機械命令の場合その機械命令を実現するマイクロプログラムの制御記憶上の開始番地を、また前記第2群の機械命令の場合その機械命令を実現する命令プログラムの命令プログラム専用記憶上の開始番地を、それぞれ示す第2の情報とが定められており、前記第1および第2の情報を第1群および第2群の各機械命令ごとに記憶する命令解析メモリと、前記命令解析メモリ上の第1の情報によって前記命令レジスタ上に第2群の機械命令を検出したとき、前記命令解析メモリ上の第2の情報により前記命令プログラム専用記憶から該機械命令を実現する命令プログラムの機械命令を順に取り出し、切替回路を介して前記命令レジスタに供給する命令ブリフエッチ制御部とを有するものと、さらに、前記命令レジスタに格納された命令が命令プログラムの完了を表示する第1の機械命令である事を示す第3の情報が定められており、前記命令レジスタ上に第2群の機械命令を検出した際に、その機械命令の次の機械命令の番地を保持するアドレスレジスタを備え、命令解析メモリが前記第3の情報を第1群および第2群の各機械命令ごとに記憶し、命令ブリフエッチ制御部は、前記命令解析メモリ上の第3の情報によって前記命令レジスタ上に前記第1の機械命令を検出したとき、前記アドレスレジスタに格納された番地によって前記命令キャッシュから機械命令を順に取り出し、切替回路を介して前記命令レジスタに供給するものとがある。

【0029】

【作用】本発明のデータ処理装置によれば、ソフトウェアプログラムの命令から命令プログラムの命令の実行に移行する際、次に実行すべき、ソフトウェアプログラムの命令を命令キャッシュにブロックロードすることができるので、逆に、命令プログラムからソフトウェアプログラムの命令の実行に戻る際、直ちに、前記命令キャッシュから命令レジスタに該命令を格納することができ、オーバヘッドロスを生じることがなくなる。

【0030】

【実施例】次に、本発明の実施例について図面を参照し

て説明する。

【0031】図1は本発明のデータ処理装置の第1実施例を示すブロック図である。

【0032】本実施例のデータ処理装置は、主記憶（メインメモリ）100と、主記憶アクセス制御部200と、オペランドキャッシュ300およびオペランドキャッシュ制御部301と、命令キャッシュ401、命令キャッシュ制御部402、命令プログラム専用記憶403、命令プログラム専用記憶制御部404、命令ブリフェッチ制御部405、切替回路406、命令レジスタ407および命令解析部408からなる命令ブリフェッチユニット400Aと、マイクロプログラムシーケンサ500と、制御記憶600と、演算処理部700と、から構成されている。前記主記憶100には目的の処理を行うソフトウェアプログラム101が格納されている。

【0033】このソフトウェアプログラム101は、前述と同様に、第1群の命令と第2群の命令とにより構成されており、第1群の命令は制御記憶600に格納されたマイクロプログラムにより実現され、第2群の命令は命令プログラム専用記憶403に格納された命令プログラムにより実現される。

【0034】また、第1群の命令は水平型マイクロ命令の並列処理の効果が充分に発揮できる基本命令であり、一般にソフトウェアプログラムに使用される頻度が格段に高い命令である。第2群の命令はマイクロプログラムで実現しようとする水平型マイクロ命令の効果がそれほど発揮できない命令であり、むしろ垂直型のマイクロ命令に近い使い方になる命令である。

【0035】ここで、本実施例のデータ処理装置の動作について、前述の図4に示した、ソフトウェアプログラムおよび命令プログラムの実行の流れを参照して説明する。

【0036】主記憶100のソフトウェアプログラム101の命令シーケンスの取り出しは、命令ブリフェッチ制御部405からの指令により命令キャッシュ401および命令キャッシュ制御部402に通知され、ヒット検索処理が行われる。

【0037】ヒットした場合は命令キャッシュ401から切替回路406を介して命令レジスタ407に直ちに命令のオブジェクト・コードが格納され、命令の実行が開始される。ミスヒットの場合は命令キャッシュ制御部402からのリクエスト・コマンドの指示により主記憶アクセス制御部200によって主記憶100から当該番地のデータが読出されて命令キャッシュ401にブロックロードされ、命令レジスタ407に目的の命令のオブジェクト・コードが格納されて命令の実行が開始される。

【0038】命令レジスタ407の命令コード部は信号線407aを介して命令解析部408に供給され、該命令解析部408から、命令レジスタ407の命令が第1

群、第2群のいずれの命令かを区別する第1の情報を信号線408aを介して命令ブリフェッチ制御部405に供給する。

【0039】さて、命令の流れが図4にしたがってA→B→Cと進み、命令レジスタ407の命令がd、即ち第2群の命令になると、信号線408aを介して第2群の命令の識別情報が命令ブリフェッチ制御部405に供給される。この識別情報により、命令ブリフェッチ制御部405は切替回路406に制御信号を供給し、命令レジスタ407の入力を命令プログラム専用記憶403に切替える。

【0040】更に、命令ブリフェッチ制御部405では、同じく信号線408aを介して命令解析部408から供給される命令解析結果から、命令dを実現する命令プログラムの開始番地と読出しリクエスト・コマンドを生成し、これを信号線405bを介して命令プログラム専用記憶制御部404に供給する。命令プログラム専用記憶制御部404の制御により命令プログラム専用記憶403からデータが読出されて、切替回路406を介して命令レジスタ407に命令dを実現する命令プログラムの第一命令オブジェクト・コードが格納され、命令プログラムの命令の実行が開始される。

【0041】これに続いて第2群命令dを実現する命令プログラム2002が逐次的に実行されて、命令レジスタ407に命令X、即ち第2群の命令を実現する命令プログラムの完了を表示する命令が格納される。この命令は第1群の命令であり、制御記憶600に格納されたマイクロプログラムにより実現されるので、演算処理部700から命令プログラムの完了を表示する情報が信号線（図示せず）を介して命令ブリフェッチ制御部405に供給される。この情報によって命令ブリフェッチ制御部405は切替回路406に制御信号を供給し、命令レジスタ407の入力を命令キャッシュ401に切替える。

【0042】更に、命令ブリフェッチ制御部405では、内部で予め保持してある（ソフトウェアプログラムの実行の流れの上で第2群命令dの次の命令である）命令Eの主記憶100上のアドレスにより、ソフトウェアプログラム（主記憶100上の101の一部分）の命令Eの取り出し指令が命令キャッシュ制御部402に対して発行され、ヒット検索処理が行われる。

【0043】ヒットした場合は命令キャッシュ401から切替回路406を介して命令レジスタ407に直ちに命令Eのオブジェクト・コードが格納され、実行中のソフトウェアプログラムの命令の実行が再開される。ミスヒットの場合は命令キャッシュ制御部402からのリクエスト・コマンドの指示により主記憶アクセス制御部200によって主記憶100から当該番地のデータが読出されて命令キャッシュ401にブロックロードされ、命令レジスタ407に目的の命令Eのオブジェクト・コードが格納されて実行中のソフトウェアプログラムの命令

の実行が再開される。

【0044】しかし、先にソフトウェアプログラムの命令dから命令プログラムの命令Pに遷移した際に、既に命令Eが命令キャッシュ401にブロックロードされているので、命令Xから命令Eに、即ち第2群の命令の命令プログラムからソフトウェアプログラムへ戻る際に、命令レジスタ407に命令キャッシュ401から命令Eのオブジェクト・コードを直ちに格納することができ、オーバヘッドロスを生ずることがない。

【0045】更に、命令プログラム専用記憶403は命令プログラム専用であり命令プログラムの読出しのために命令キャッシュ401が破壊されることはないため、命令プログラムのためにソフトウェアプログラムの命令キャッシュ・ヒット率が低下することはない。

【0046】次に、本発明のデータ処理装置の第2実施例について、図2を参照して説明する。

【0047】本実施例のデータ処理装置は、主記憶（メインメモリ）100と、主記憶アクセス制御部200と、オペランドキャッシュ300およびオペランドキャッシュ制御部301と、命令キャッシュ401、命令キャッシュ制御部402、命令プログラム専用記憶403、命令プログラム専用記憶制御部404、命令ブリフエッチ制御部405、切替回路406、命令レジスタ407および命令解析メモリ、408からなる命令ブリフエッチユニット400Bと、マイクロプログラムシーケン300と、制御記憶600と、演算処理部700から構成されている。

【0048】尚、本実施例のデータ処理装置において、前述の第1実施例と同じ構成については、同一符号を付している。

【0049】ここで、本実施例のデータ処理装置の動作について、同様に図4を参照して説明する。

【0050】主記憶100のソフトウェアプログラム101の命令シーケンスの取出しは、命令ブリフエッチ制御部405からの指令により命令キャッシュ401および命令キャッシュ制御部402に通知され、ヒット検索処理が行われる。

【0051】ヒットした場合は命令キャッシュ401から切替回路406を介して命令レジスタ407に直ちに命令のオブジェクト・コードが格納され、命令の実行が開始される。ミスヒットの場合は命令キャッシュ制御部402からのリクエスト・コマンドの指示により主記憶アクセス制御部202によって主記憶100から当該番地のデータが読出され、命令キャッシュ401にブロックロードされ、命令レジスタ407に目的の命令のオブジェクト・コードが格納されて命令の実行が開始される。

【0052】命令レジスタ407の命令コード部は信号線407aを介して命令解析メモリ408に供給され、該命令解析メモリ408から命令レジスタ407の命令

が第1群、第2群のいずれの命令かを区別する第1の情報を信号線408aを介して命令ブリフエッチ制御部405に供給する。

【0053】さて、命令の流れが図4に従って、A→B→Cと進み、命令レジスタ407の命令がd、即ち第2群の命令になると、信号線408aを介して前記第1の情報が命令ブリフエッチ制御部405に供給される。この第1の情報により、命令ブリフエッチ制御部405は切替回路406に制御信号を供給し、命令レジスタ407の入力を命令プログラム専用記憶403に切替える。

【0054】更に、命令ブリフエッチ制御部405では、信号線408aを介して供給される命令解析メモリ408上の第2の情報を命令dを実現する命令プログラムの命令プログラム専用記憶403上の開始番地として、これを読出しリクエストと共に信号線405bを介して命令プログラム専用記憶制御部404に供給する、命令プログラム専用記憶制御部404の制御により命令プログラム専用記憶403からデータが読出されて、切替回路406を介して命令レジスタ407に命令dを実現する命令プログラムの第一命令オブジェクト・コードが格納され、命令プログラムの命令の実行が開始される。

【0055】これに続いて第2群の命令dを実現する命令プログラム2002が逐次的に実行されて、命令レジスタ407に命令X、即ち第2群の命令を実現する命令プログラムの完了を表示する命令が格納される。この命令は第1群の命令であり、制御記憶600に格納されたマイクロプログラムにより実現されるので、演算処理部700から命令プログラムの完了を表示する情報が信号線（図示せず）を介して命令ブリフエッチ制御部405に供給される。この情報によって命令ブリフエッチ制御部405は切替回路406に制御信号を供給し、命令レジスタ407の入力を命令キャッシュ401に切替える。

【0056】更に、命令ブリフエッチ制御部405では、内部で予め保持してある（ソフトウェアプログラムの実行の流れの上で第2群命令dの次の命令である）命令Eの主記憶100上のアドレスによりソフトウェアプログラム（主記憶100上の101の一部分）の命令Eの取出し指令が命令キャッシュ制御部402に対して発行され、ヒット検索処理が行われる。

【0057】ヒットした場合は命令キャッシュ401から切替回路406を介して命令レジスタ407に直ちに命令Eのオブジェクト・コードが格納され、実行中のソフトウェアプログラムの命令の実行が再開される。ミスヒットの場合は命令キャッシュ制御部402からのリクエスト・コマンドの指示により主記憶アクセス制御部200によって主記憶100から当該番地のデータが読出されて命令キャッシュ401にブロックロードされ、命令レジスタ407に目的の命令Eのオブジェクト・コー

ドが格納されて実行中のソフトウェアプログラムの命令の実行が再開される。

【0058】しかし、先にソフトウェアプログラム2001の命令dから命令プログラム2002の命令Pに移した際に、既に命令Eが命令キャッシュ401にブロックロードされているので、命令Xから命令Eに、即ち第2群の命令の命令プログラムからソフトウェアプログラムへ戻る際に、命令レジスタ407に命令キャッシュ401から命令Eのオブジェクト・コードを直ちに格納することができて、オーバーヘッドロスを生ずることがない。

【0059】更に、命令プログラム専用記憶403は命令プログラム専用であり命令プログラムの読出しのために命令キャッシュ401が破壊されることはないため、命令プログラムのためにソフトウェアプログラムの命令キャッシュ・ヒット率が低下することはない。

【0060】次に、本発明のデータ処理装置の第3実施例について図3を参照して説明する。

【0061】本実施例のデータ処理装置は、主記憶（メインメモリ）100と、主記憶アクセス制御部200と、オペランドキャッシュ300およびオペランドキャッシュ制御部301と、命令キャッシュ401、命令キャッシュ制御部402、命令プログラム専用記憶403、命令プログラム専用記憶制御部404、命令プリフェッチ制御部405、切替回路406、409、命令レジスタ407、命令解析メモリ408、命令カウンタ410、加算器411およびアドレスレジスタ412からなる命令プリフェッチユニット400Cと、マイクロプログラムシーケンサ500と、制御記憶600と、演算処理部700とから構成されている。

【0062】尚、本実施例のデータ処理装置においても、前述の各実施例と同じ構成については同一符号を付している。

【0063】ここで、本実施例のデータ処理装置について、同様に図4を参照して説明する。

【0064】主記憶100のソフトウェアプログラム101の命令シーケンスの取出しは、命令プリフェッチ制御部405からの指令により命令キャッシュ401および命令キャッシュ制御部402に通知され、ヒット検索処理が行われる。

【0065】ヒットした場合は命令キャッシュ401から切替回路406を介して命令レジスタ407に直ちに命令のオブジェクト・コードが格納され、命令の実行が開始される。ミスヒットの場合は命令キャッシュ制御部402からのリクエスト・コマンドの指示により主記憶アクセス制御部200によって主記憶100から当該番地のデータは読出されて命令キャッシュ401にブロックロードされ、命令レジスタ407に目的の命令のオブジェクト・コードが格納されて命令の実行が開始される。

【0066】命令レジスタ407の命令コード部は信号線407aを介して命令解析メモリ408に供給され、該命令解析メモリ408から、命令レジスタ407の命令が第1群、第2群のいずれの命令かを区別する第1の情報を信号線408aを介して命令プリフェッチ制御部405に供給する。

【0067】さて、命令の流れが図4に従ってA→B→Cと進み、命令レジスタ407の命令がd、即ち第2群の命令になると、信号線408aを介して前記第1の情報が命令プリフェッチ制御部405に供給される。

【0068】この第1の情報により、命令プリフェッチ制御部405は切替回路406に制御信号を供給し、命令レジスタ407の入力を命令プログラム専用記憶403に切替えると共に、命令dアドレスを示す命令カウンタ410に命令dの命令語長（図示せず）を加算器411で加えたアドレスをアドレスレジスタ412に格納する。このアドレスはソフトウェアプログラムの実行の流れの上で第2群命令dの次の命令である命令Eの主記憶100上の番地である。

【0069】更に、命令プリフェッチ制御部405では、信号線408aを介して供給される命令解析メモリ408上の第2の情報を命令dを実現する命令プログラムの命令プログラム専用記憶403上の開始番地として、これを読出しリクエストと共に信号線405bを介して命令プログラム専用記憶制御部404に供給する。命令プログラム専用記憶制御部404の制御により命令プログラム専用記憶403からデータが読出されて、切替回路406を介して命令レジスタ407に命令dを実現する命令プログラムの第一命令オブジェクト・コードが格納され、命令プログラムの命令の実行が開始される。

【0070】これに続いて第2群命令dを実現する命令プログラムが逐次的に実行されて、命令レジスタ407に命令X、即ち第2群の命令を実現する命令プログラムの完了を表示する命令が格納される。この時、命令解析メモリ408は命令プログラムの完了を表示する第3の情報を、信号線408bを介して命令プリフェッチ制御部405に供給する。

【0071】この情報によって命令プリフェッチ制御部405は切替回路407に制御信号を供給し、命令レジスタ407の入力を命令キャッシュ401に切替える。

【0072】更に、命令プリフェッチ制御部405は、アドレスレジスタ412に格納された（ソフトウェアプログラムの実行の流れの上で第2群命令dの次の命令である）命令Eの主記憶100上のアドレスを切替回路409を介して命令キャッシュ制御部402に供給し、ソフトウェアプログラム（主記憶100上の101の一部）の命令の取出し指令が命令キャッシュ制御部402に対して発行され、ヒット検索処理が行われる。

【0073】ヒットした場合は命令キャッシュ401か

ら切替回路407を介して命令レジスタ407に直ちに命令Eのオブジェクト・コードが格納され、実行中のソフトウェアプログラムの命令の実行が再開される。ミスヒットの場合は命令キャッシュ制御部402からのリクエスト・コマンドの指示により主記憶アクセス制御部200によって主記憶100から当該番地のデータが読出され、命令キャッシュ401にブロックロードされ、命令レジスタ407に目的の命令Eのオブジェクト・コードが格納されて実行中のソフトウェアプログラムの命令の実行が再開される。

【0074】しかし、先にソフトウェアプログラムの命令dから命令プログラムの命令Pに遷移した際に、既に命令Eが命令キャッシュ401にブロックロードされているので、命令Xから命令Eに、即ち第2群の命令の命令プログラムからソフトウェアプログラムへ戻る際に、命令レジスタ407に命令キャッシュ401から命令Eのオブジェクト・コードを直ちに格納することができ、オーバーヘッドロスを生ずることがない。

【0075】更に、命令プログラム専用記憶403は命令プログラム専用であり命令プログラムの読出しのために命令キャッシュ401が破壊されることはないため、命令プログラムのためにソフトウェアプログラムの命令キャッシュ・ヒット率が低下することはない。

【0076】

【発明の効果】以上説明したように本発明は、マイクロプログラムで実現すると水平型マイクロ命令の並列処理の効果をあまり発揮できない第2群の命令を、水平型マイクロ命令の並列処理の効果が充分に発揮できる基本命令（第1群の命令）からなる命令プログラムの実行により実現する際に、命令プログラムの取出しによる主記憶のトラフィックの増加を抑止し、また、命令キャッシュのミスヒットを低減させることにより、命令プログラムの移入・退出に絡むオーバーヘッドロスを少なくして、高速化することができるという効果がある。

【0077】更に、このようにオーバーヘッドロスが少なくなることで、性能要求の厳しい命令を命令プログラムで実現することも可能となり、命令プログラム方式のもつ特徴である制御記憶の利用効率の改善、並びに制御記憶の容量の縮小を推進することができるという効果があ*

＊る。

【0078】また、パイプライン処理等によりソフトウェア命令の並列処理を行うことができるハードウェアでは、命令実行時間をむしろ短縮することができるという効果がある。

【図面の簡単な説明】

【図1】本発明のデータ処理装置の第1実施例を示すブロック図である。

【図2】本発明のデータ処理装置の第2実施例を示すブロック図である。

【図3】本発明のデータ処理装置の第3実施例を示すブロック図である。

【図4】階層型命令制御における、ソフトウェアプログラムおよび命令プログラムの実行の流れの一例を示す図である。

【図5】従来のデータ処理装置の一例を示すブロック図である。

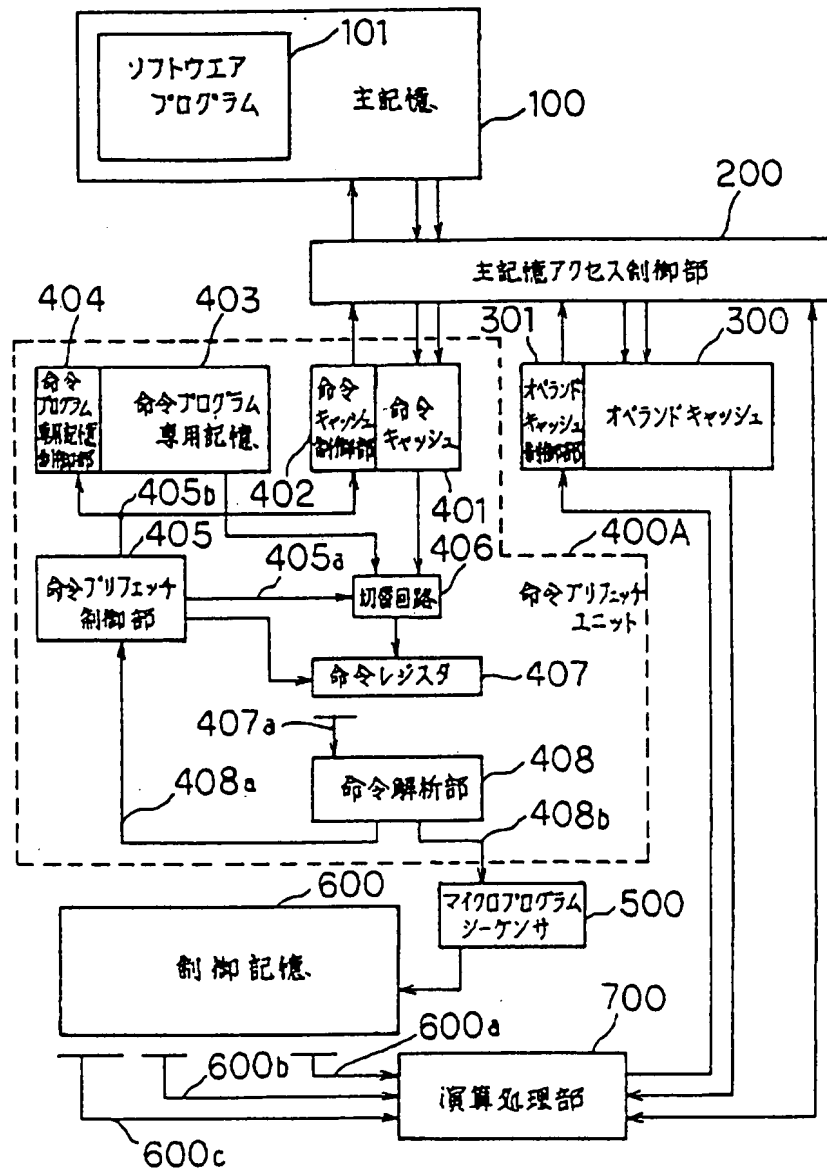
【符号の説明】

100	主記憶
101	ソフトウェアプログラム
200	主記憶アクセス制御部
300	オペランドキャッシュ
301	オペランドキャッシュ制御部
400	命令プリフェッチユニット
401	命令キャッシュ
402	命令キャッシュ制御部
403	命令プログラム専用記憶
404	命令プログラム専用記憶制御部
405	命令プリフェッチ制御部
406, 409	切替回路
407	命令レジスタ
408	命令解析部
410	命令カウンタ
411	加算器
412	アドレスレジスタ
500	マイクロプログラムシーケンサ
600	制御記憶
700	演算処理部

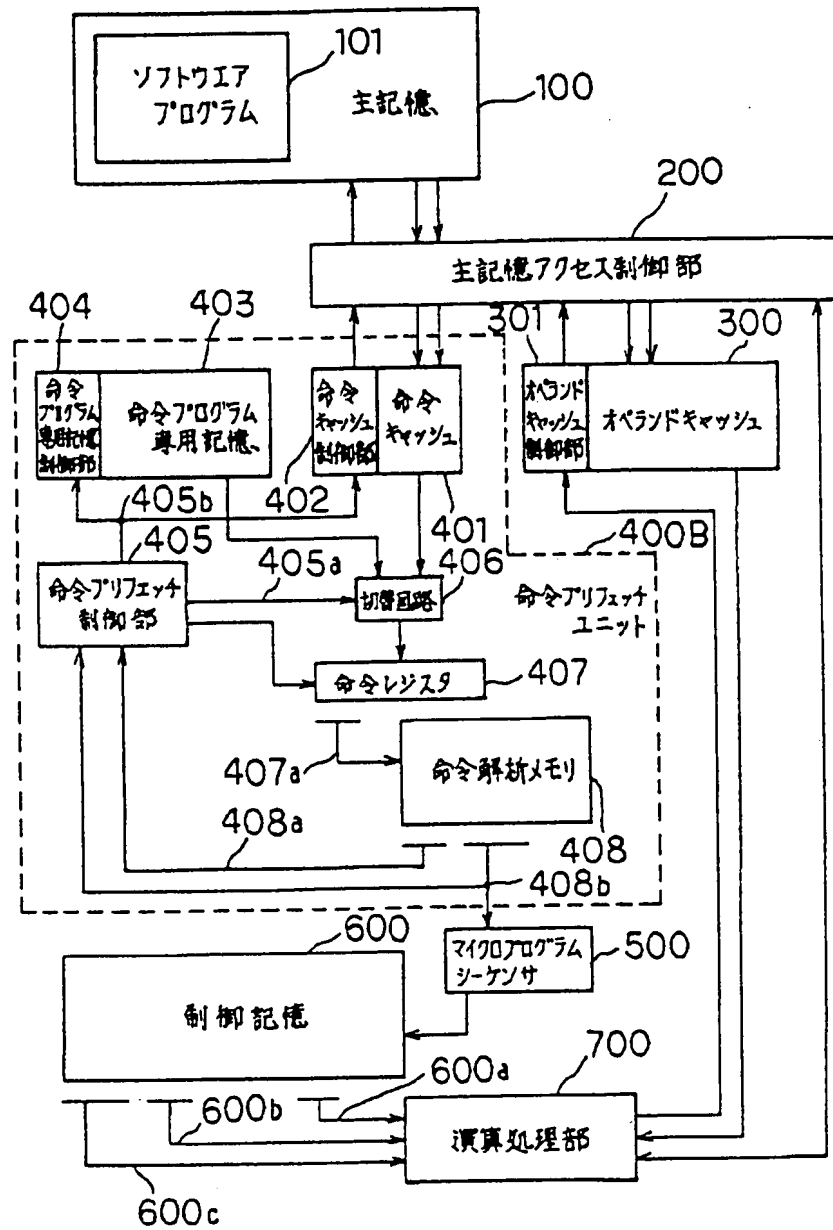
【図4】

801: A--B--C--d E--F--G
802: P--Q--R--S--X

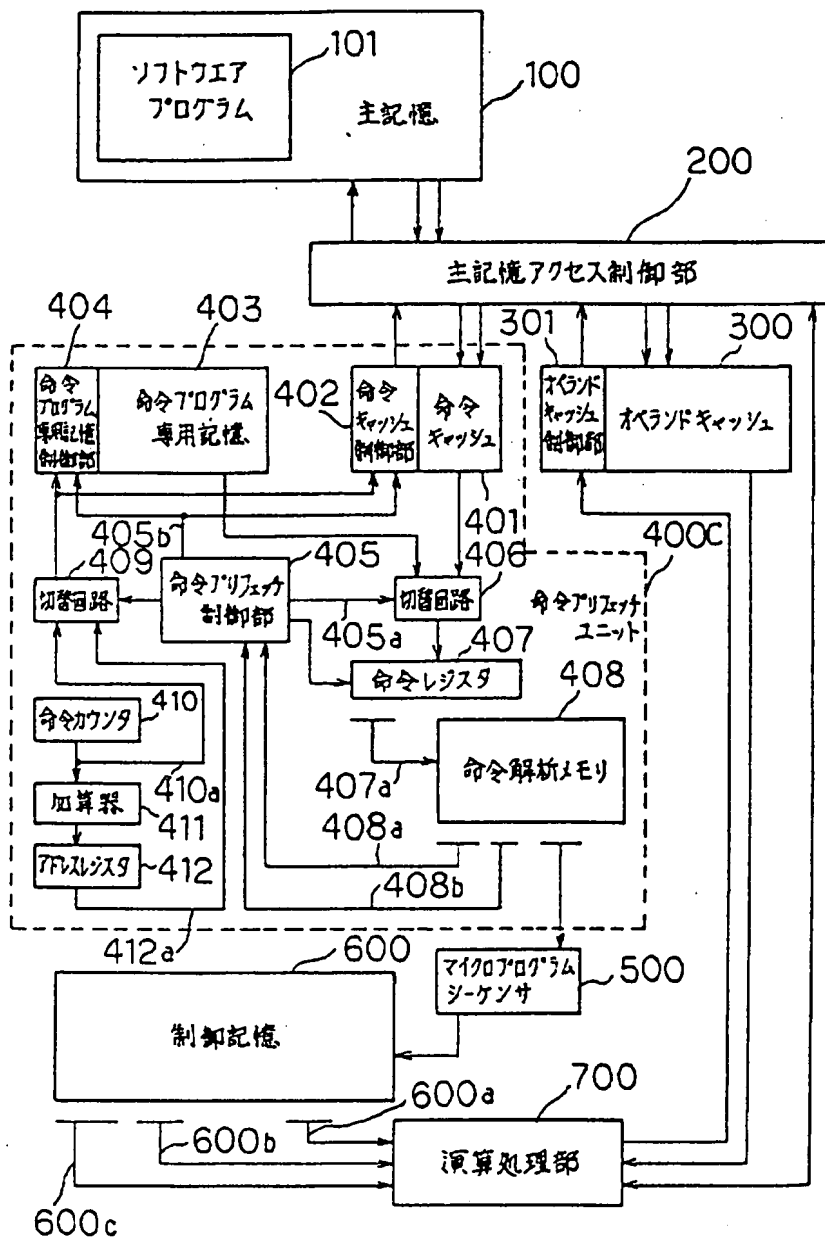
【図1】



【図2】



【例3】



【図5】

